

# 最先端デバイスを支えるコバレントマテリアルのアニールウェーハ

## Covalent Materials' Annealed Wafers Support Leading-Edge Devices

### コバレントマテリアルのウェーハ技術アドバンテージ Advantages of Covalent Materials' Technology

・45nmノードデザインに対応した優れた平坦度とパーティクルレベル  
Superior flatness & particle level for 45nm technology nodes

・表層デバイス活性層領域の欠陥フリーにより、接合リークを制御  
Junction leakage is suppressed by defect-free active surface layer

・高精度BMD制御による効率的なゲッターリング  
High gettering efficiency by tightly-controlled BMD precision

**超平坦化技術と進化したアニール技術が  
45nm時代のデバイス製造に寄与します。**

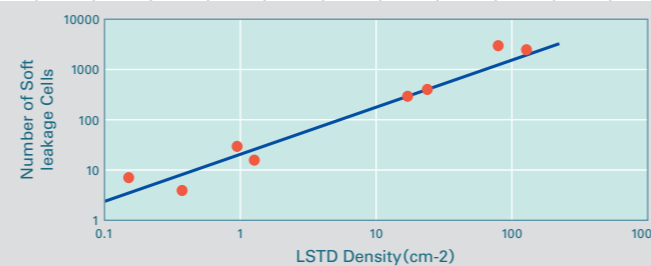
Ultra-flatness and advanced annealing technology contribute to 45nm-node ULSI fabrications.

### Wafer characteristics

	CZ wafer		Annealed wafer		Epi wafer	
	normal	neutral	Hi-WAFER	Hyper Hi-WAFER AT-WAFER	P/P-	P/P+
COP (Surface)	>100/W	Free	Free	Free	Free	Free
LSTD (COP) Surface to 5 $\mu$ m depth	>200/cm <sup>2</sup>	-	<30/cm <sup>2</sup>	<1/cm <sup>2</sup>	<1/cm <sup>2</sup>	<1/cm <sup>2</sup>
GOI (Surface)	×~○	◎	◎	◎	◎	◎
Low Leakage Current	△	○~◎	◎	◎	○~◎	◎
Gettering	△~○	×~△	○	◎	×~△	◎
Flatness	◎	◎	◎	◎	○~◎	○~◎
Productivity	◎	△	◎	◎	△	△

\* Hi-WAFER: The brand name of our hydrogen annealed wafer  
\* Hyper Hi-WAFER: The brand new version of our Hi-WAFER  
\* AT-WAFER: The brand name of our argon annealed wafer

### LSTDと接合リーク不良の関係 Relation between LSTD and p/n junction leakage



LSTDとp-n接合ソフトリークには相関が見られます。  
LSTDを低減させることで、デバイスのリーク不良を低減させることができます。  
Number of soft leakage cells is almost linear to LSTD density.  
The p/n junction leakage is decreased by reducing LSTD.

### Annealed wafers lineup

	Wafer Size			Special features
	150mm	200mm	300mm	
Hi-WAFER	●	●		Surface COP Free, Excellent GOI, Tightly controlled gettering ability, Hydrogen annealing
Hyper Hi-WAFER		●		Surface & Near surface COP free, Excellent GOI, Low junction leakage, Tightly controlled gettering ability, Hydrogen annealing
AT-WAFER		●	●	Surface & Near surface COP free, Excellent GOI, Low junction leakage, Tightly controlled gettering ability, Argon annealing

### Wafer roadmap for ULSI

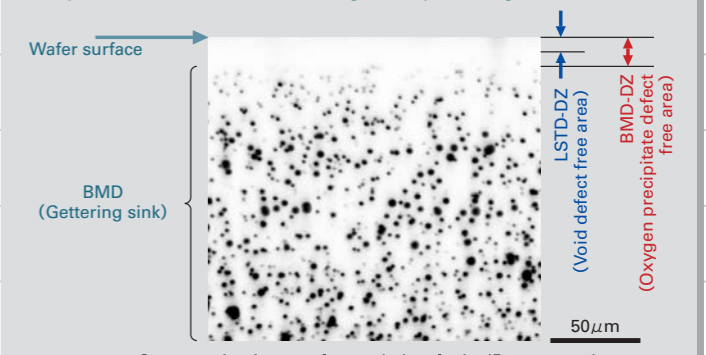
Year		2005	2006	2007	2008	2009	2010	2011	2012	
Devices (ITRS)	DRAM 1/2 pitch	80nm	70nm	65nm	57nm	50nm	45nm	40nm	36nm	
	MPU / ASIC Metal 1/2 pitch	90nm	78nm	68nm	59nm	52nm	45nm	40nm	36nm	
	NAND Flash Poly 1/2 Pitch	70nm	65nm	55nm	50nm	45nm	40nm	35nm	32nm	
Wafer design	Diameter	200mm SSP				200mm DSP				
		300mm DSP								
	Flatness (SFQR*)	90nm	70nm		60nm		50nm			35nm
	Particle	>90nm <50/Wf				>65nm <50/Wf				>45nm <50/Wf

\* Cell size = 26 x 8 mm

### 優れたIG能力 Superior gettering ability

アニールウェーハはIGウェーハの一種です。IGとはIntrinsic Getteringの略です。アニールウェーハのバルクには高密度な酸素析出物(BMD)が形成され、このBMDがデバイスプロセス中の金属汚染を吸収するゲッターリングサイトとして働きます。

Our annealed wafer is a variation of IG-wafer. IG stands for Intrinsic Gettering. The annealed wafer has high density BMD (Bulk Micro Defect; oxygen precipitate) in the wafer bulk. The BMD works as gettering sink which captures unexpected metal contamination during device processing.



Cross section image of annealed wafer by IR-tomography

**COVALENT**

コバレントマテリアル株式会社

シリコン事業本部  
東京都品川区大崎1-6-3 日精ビルディング 〒141-0032  
Tel:03-5437-8415 Fax:03-5437-7433 E-mail:sil\_j331@covalent.co.jp  
www.covalent.co.jp